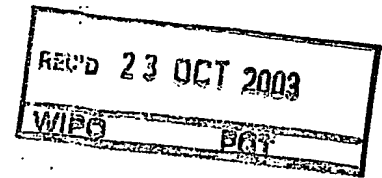



PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 DP-913PCT	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO3/00276	国際出願日 (日.月.年) 15.01.03	優先日 (日.月.年) 17.01.02
国際特許分類(IPC) Int.Cl ⁷ G09G 3/30, 3/20		
出願人(氏名又は名称) 日本電気株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。	
2. この国際予備審査報告は、この表紙を含めて全部で <u>3</u> ページからなる。 <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で <u>14</u> ページである。	
3. この国際予備審査報告は、次の内容を含む。	
I	<input checked="" type="checkbox"/> 国際予備審査報告の基礎
II	<input type="checkbox"/> 優先権
III	<input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
IV	<input type="checkbox"/> 発明の単一性の欠如
V	<input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
VI	<input type="checkbox"/> ある種の引用文献
VII	<input type="checkbox"/> 国際出願の不備
VIII	<input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 15.01.03	国際予備審査報告を作成した日 01.10.03	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 西島 篤宏 	2G 9308 電話番号 03-3581-1101 内線 3225

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-24 ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 1-11, 13-21, 23-28 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 22, 29 項、 30.06.03 付の書簡と共に提出されたもの
 請求の範囲 第 12 項、 19.09.03 付の書簡と共に提出されたもの

☒ 図面 第 1-16 ページ/図、 出願時に提出されたもの
 図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1-29	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-29	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-29	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

請求項1-29

データ線に電流を供給する電流ドライバの1つの電流出力に対して複数本のデータ線を1本ずつ選択する構成と、電流負荷駆動回路のトランジスタのゲートに接続されるスイッチを制御する制御線を、少なくとも、半導体装置の1ラインにおいて電流ドライバの1電流出力が選択できるデータ線の本数と同じ数分備えている構成の両者を併せ持つものに関しては、国際調査報告で列記した文献のいずれにも、記載も示唆もされていない。

前記トランジスタのゲートと、対応するデータ線との間に直列に接続された複数のスイッチと、を備え、

前記電流負荷駆動回路内の前記トランジスタのゲートに一端が接続されるスイッチを制御する制御線を、前記半導体装置の1ラインにおいて、少なくとも、前記電流ドライバの1出力が選択できるデータ線の本数と同じ数分備え、

前記電流負荷駆動回路内の前記電流負荷セルに対応するデータ線に一端が接続されるスイッチを制御する制御線を、前記半導体装置のラインごとに備えており、
アクティブ駆動電流書き込みを行う半導体装置の駆動方法であって、

1ラインを選択した1水平期間において、前記ラインごとに備えられた制御線上を伝達する制御信号によって、1ラインに相当する前記電流負荷セル内の、前記電流負荷セルに対応データ線に一端が接続されているスイッチを、1水平期間、オン状態とする第1のステップと、

前記出力セレクト信号に基づき、前記セレクトにより前記複数本のデータ線のうちの1本のデータ線を選択した期間に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線上を伝達する制御信号によって、前記電流負荷セル内の前記トランジスタのゲートに一端が接続されるスイッチをオンすることで、前記電流負荷セル内の前記トランジスタに対して、前記電流ドライバから前記選択されたデータ線に供給させる電流出力に対応する電流を、前記電流負荷に流すように設定する第2のステップと、

前記選択された1本のデータ線の選択期間が終了する前に、又は同時に、前記複数の制御線のうち、前記選択されたデータ線に対応する制御線上を伝達する制御信号によって、前記スイッチをオフする制御を行う第3のステップと、

を有し、前記第2乃至第3のステップを、前記複数本のデータ線のそれぞれに対して行うことで、1ラインに相当する前記電流負荷セルへの電流書き込みを完了する制御を行う、ことを特徴とする半導体装置の駆動方法。

12. (補正後) 基板上に延在されている複数本のデータ線と、
前記データ線と直交する方向に延在される複数本の制御線と、を備え、
前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、

を備えた半導体装置において、

データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセレクトを備え、

前記セレクトは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セレクトに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルと接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが直接又は、第3のスイッチを介して前記電流負荷の一端に接続されている第1のMOSトランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は前記第1の電源とは別の電源とに、一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、直接又は、第2のスイッチを介して、対応するデータ線に接続されており、

少なくとも、前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第1のスイッチ、又は、前記第1のスイッチと前記第2のスイッチと、に対応する制御信号を伝達する制御線を、前記セレクトに接続されるデータ線の本数分備え、

前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第1のスイッチの制御端子に、又は、前記第1のスイッチの制御端子と前記第2のスイッチの制御端子とに共通に、前記複数の電流負荷セルの各々に対応する制御信号

が供給される、ことを特徴とする半導体装置。

13. 基板上へ一方に延在されている複数本のデータ線と、
前記データ線と直交する方向に延在される複数本の制御線と、を備え、
前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数
備え、
前記電流負荷セルのそれぞれが、
電流負荷と、
前記電流負荷を駆動する電流負荷駆動回路と、
を備えた半導体装置において、
データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数
の出力端に、複数本のデータ線がそれぞれ接続されているセレクトを備え、
前記セレクトは、入力される出力セレクト信号に基づき、前記複数本のデータ
線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデー
タ線に供給し、
前記セレクトに接続される前記複数本のデータ線は、それぞれ、対応する複数
の電流負荷セルに接続され、
前記電流負荷セルの各々において、
前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが直接又
は、第3のスイッチを介して前記電流負荷の一端に接続されている第1のMOS
トランジスタを備え、
前記電流負荷の他端は第2の電源に接続されており、
前記第1のMOSトランジスタのゲートと、前記第1の電源又は前記第1の電
源とは別の電源とに、一端と他端がそれぞれ接続されている容量と、
前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに
一端が接続されている第1のスイッチを備え、
前記第1のスイッチの他端は、第2のスイッチを介して、対応するデータ線に
接続されており、
少なくとも、前記セレクトに接続される複数本のデータ線にそれぞれ接続され
る前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第1のスイッチ

に対応する制御信号を伝達する制御線を備え、

前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第2のスイッチに対応して共通の制御信号を伝達する制御線を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第1のスイッチの制御端子には、前記複数の前記電流負荷セルの各々に対応する制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第2のスイッチの制御端子には、前記共通の制御信号が供給される、ことを特徴とする半導体装置。

14. ソースが前記第1の電源に接続されゲートとドレインが接続されている第2のMOSトランジスタを備え、

前記第1のスイッチは、前記第2のMOSトランジスタのゲートと、前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードとの間に接続されており、

前記第2のスイッチは、前記第2のMOSトランジスタのドレインと、対応するデータ線との間に挿入されている、ことを特徴とする請求項12又は13記載の半導体装置。

15. 前記電流負荷の一端と前記第2の電源との間に第4のスイッチを備えることを特徴とする請求項12乃至14のいずれかに記載の半導体装置。

16. 前記第1のMOSトランジスタがTFTである、ことを特徴とする請求項12乃至15のいずれかに記載の半導体装置。

17. 前記第2のMOSトランジスタがTFTである、ことを特徴とする請求項14記載の半導体装置。

18. 前記電流負荷が発光素子である、ことを特徴とする請求項12乃至17のいずれかに記載の半導体装置。

19. 前記電流ドライバを前記半導体装置と同一基板上に搭載していることを特徴とする請求項12乃至18のいずれかに記載の半導体装置。

20. 前記電流負荷が発光素子である、ことを特徴とする請求項12乃至19のいずれかに記載の半導体装置。

21. 前記電流負荷が有機エレクトロルミネッセンス素子よりなる、ことを特徴とする請求項12乃至19のいずれかに記載の半導体装置。

22. (補正後) 基板上へ一方向に延在されている複数本のデータ線と、
前記データ線と直交する方向に延在される複数本の制御線と、を備え、
前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数
備え、
前記電流負荷セルのそれぞれが、
電流負荷と、
前記電流負荷を駆動する電流負荷駆動回路と、
を備え、
データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数
の出力端に、複数本のデータ線がそれぞれ接続されているセレクトを備え、
前記セレクトは、入力される出力セレクト信号に基づき、前記複数本のデータ
線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデー
タ線に供給し、
前記セレクトに接続される前記複数本のデータ線は、それぞれ、対応する複数
の電流負荷セルに接続され、
前記電流負荷セルの各々において、
前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが前記電
流負荷の一端に接続されている第1のMOSトランジスタを備え、
前記電流負荷の他端は第2の電源に接続されており、
前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに
一端と他端がそれぞれ接続されている容量と、
前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに
一端が接続されている第1のスイッチを備え、
前記第1のスイッチの他端は、直接又は、第2のスイッチを介して、対応する
データ線に接続されており、
前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の
電流負荷セルの各々に対応する制御信号を伝達する制御線を備え、
前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第1の
スイッチの制御端子に、又は、前記第1のスイッチの制御端子と前記第2のスイ

ツチの制御端子に共通に、前記複数の電流負荷セルの各々に対応して設けられている制御線を通して制御信号が供給される半導体装置の駆動方法であって、

1 周期が、前記セレクトを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクトによって前記複数のデータ線のうち 1 本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクトで選択されたデータ線に対応する電流負荷セルに対応する制御線上を伝達する制御信号によって、前記電流負荷セル内の前記第 1 のスイッチ、又は第 1 及び第 2 のスイッチをオンすることで、前記電流負荷セル内の前記第 1 の MOS トランジスタに、前記データ線に供給されるドライバの電流出力に対応する電流を流し、

(c) 前記セレクトが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記 (a) で選択されていたデータ線に対応する前記電流負荷セルに対応する制御線上を伝達する制御信号により、前記電流負荷セルの前記第 1 のスイッチ、又は前記第 1 及び第 2 のスイッチを、オフする制御を行い、

前記 (a) 乃至 (c) の処理を、前記セレクトを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記 1 周期に対応する前記電流負荷セルへの電流書き込みを完了する、ことを特徴とする半導体装置の駆動方法。

23. 基板上に一方に延在されている複数本のデータ線と、
前記データ線と直交する方向に延在される複数本の制御線と、を備え、
前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数
備え、

前記電流負荷セルのそれぞれが、

電流負荷と、

前記電流負荷を駆動する電流負荷駆動回路と、

を備えた半導体装置において、

データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数の出力端に、複数本のデータ線がそれぞれ接続されているセクタを備え、

前記セクタは、入力される出力セレクト信号に基づき、前記複数本のデータ線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデータ線に供給し、

前記セクタに接続される前記複数本のデータ線は、それぞれ、対応する複数の電流負荷セルに接続され、

前記電流負荷セルの各々において、

前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが前記電流負荷の一端に接続されている第1のMOSトランジスタを備え、

前記電流負荷の他端は第2の電源に接続されており、

前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに一端と他端がそれぞれ接続されている容量と、

前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに一端が接続されている第1のスイッチを備え、

前記第1のスイッチの他端は、第2のスイッチを介して、対応するデータ線に接続されており、

前記セクタに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの各々の前記電流負荷駆動回路の前記第1のスイッチに対応する制御信号を伝達する制御線を備え、

前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第2のスイッチに対応して共通の制御信号を伝達する共通の制御線を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第1のスイッチの制御端子には、複数の前記電流負荷セルの各々に対して個別に設けられている制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第2のスイッチの制御端子には、前記共通の制御信号が供給される半導体装置の駆動方法であって、

1周期が、前記セクタを介して前記ドライバに接続される複数本のデータ線

にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

前記共通の制御信号により、前記 1 周期の間、前記電流負荷セル内の前記第 2 のスイッチをオンし、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セクタによって前記複数のデータ線のうち 1 本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セクタで選択されたデータ線に対応する電流負荷セルに対応する制御線上を伝達する制御信号によって、前記電流負荷セル内の前記第 1 のスイッチをオンすることで、前記電流負荷セル内の前記第 1 の MOS トランジスタに、前記データ線に供給されるドライバの電流出力に対応する電流を流し、

(c) 前記セクタが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記 (a) で選択されていたデータ線に対応する前記電流負荷セルに対応する制御線上を伝達する制御信号により、前記第 1 スwitchをオフする制御を行い、

前記 (a) 乃至 (c) の処理を、前記セクタを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記 1 周期に対応する前記電流負荷セルへの電流書き込みを完了する、ことを特徴とする半導体装置の駆動方法。

24. ソースが前記第 1 の電源に接続されゲートとドレインが接続されている第 2 の MOS トランジスタを備え、

前記第 1 のスイッチは、前記第 2 の MOS トランジスタのゲートと、前記第 1 の MOS トランジスタのゲートと前記容量の一端との接続点ノードとの間に接続されており、

前記第 2 のスイッチは、前記第 2 の MOS トランジスタのドレインと、対応するデータ線との間に挿入されている、ことを特徴とする請求項 22 又は 23 記載の半導体装置の駆動方法。

25. 基板上へ一方に延在されている複数本のデータ線と、

前記データ線と直交する方向に延在される複数本の制御線と、を備え、
前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数
備え、
前記電流負荷セルのそれぞれが、
電流負荷と、
前記電流負荷を駆動する電流負荷駆動回路と、を備え、
データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数
の出力端に、複数本のデータ線がそれぞれ接続されているセクタを備え、
前記セクタは、入力される出力セレクト信号に基づき、前記複数本のデータ
線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデー
タ線に供給し、
前記セクタに接続される前記複数本のデータ線は、それぞれ、対応する複数
の電流負荷セルに接続され、
前記電流負荷セルの各々において、
前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが、スイ
ッチ（「第3のスイッチ」という）を介して前記電流負荷の一端に接続されている
第1のMOSトランジスタを備え、
前記電流負荷の他端は第2の電源に接続されており、
前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに
一端と他端がそれぞれ接続されている容量と、
前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに
一端が接続されている第1のスイッチを備え、
前記第1のスイッチの他端は、直接又は、第2のスイッチを介して、対応する
データ線に接続されており、
前記セクタに接続される複数本のデータ線にそれぞれ接続される前記複数の
電流負荷セルの各々に対応する制御信号を伝達する制御線を備え、
前記複数の電流負荷セルの各々において、前記電流負荷駆動回路の前記第1の
スイッチの制御端子に、又は、前記第1のスイッチの制御端子と前記第2のスイ
ッチの制御端子に共通に、前記複数の電流負荷セルの各々に対応する制御線を通

して制御信号が供給され、

前記電流負荷の一端と前記第 3 のスイッチとの接続点ノードと前記第 2 の電源との間に第 4 のスイッチを備え、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの前記電流負荷駆動回路に対して、前記第 3 のスイッチの制御端子に接続される共通の制御線が設けられており、前記第 4 のスイッチの制御端子に接続される共通の制御線が設けられている半導体装置の駆動方法であって、

1 周期が、前記セレクトを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクトによって前記複数のデータ線のうち 1 本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御信号のうち、前記セレクトで選択されたデータ線に対応する電流負荷セルに対応する制御信号によって、前記電流負荷セル内の前記第 1 のスイッチ、又は第 1 及び第 2 のスイッチをオンし、前記共通の制御線上の制御信号により、前記第 3 のスイッチはオフ状態とし、前記第 1 の MOS トランジスタのゲートに接続される前記容量の端子電圧を、前記データ線に供給されるドライバの電流出力に対応する電圧に設定し、

(c) 前記セレクトが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記 (a) で選択されていたデータ線に対応する前記電流負荷セルに対応する制御信号により、前記電流負荷セルの前記第 1 のスイッチ、又は前記第 1 及び第 2 のスイッチを、オフする制御を行い、

前記 (a) 乃至 (c) の処理を、前記セレクトを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記 1 周期に対応する前記電流負荷セルの前記第 1 の MOS トランジスタへの電流設定を行い、

(d) 前記周期につづいて前記第 3 のスイッチをオンし、前記電流負荷セルの前記第 1 の MOS トランジスタのドレイン電流が前記電流負荷セルに供給される、ことを特徴とする半導体装置の駆動方法。

40

26. 基板上方向に延在されている複数本のデータ線と、
前記データ線と直交する方向に延在される複数本の制御線と、を備え、
前記複数本のデータ線と前記複数本の制御線との交差部に電流負荷セルを複数
備え、
前記電流負荷セルのそれぞれが、
電流負荷と、
前記電流負荷を駆動する電流負荷駆動回路と、を備えた半導体装置において、
データ線を電流駆動するドライバの1つの電流出力を入力端から入力し、複数の
出力端に、複数本のデータ線がそれぞれ接続されているセクタを備え、
前記セクタは、入力される出力セレクト信号に基づき、前記複数本のデータ
線のいずれか一つを選択して、前記ドライバの電流出力を、前記選択されたデー
タ線に供給し、
前記セクタに接続される前記複数本のデータ線は、それぞれ、対応する複数の
電流負荷セルに接続され、
前記電流負荷セルの各々において、
前記電流負荷駆動回路は、ソースが第1の電源に接続され、ドレインが、スイ
ッチ（「第3のスイッチ」という）を介して前記電流負荷の一端に接続されている
第1のMOSトランジスタを備え、
前記電流負荷の他端は第2の電源に接続されており、
前記第1のMOSトランジスタのゲートと、前記第1の電源又は他の電源とに
一端と他端がそれぞれ接続されている容量と、
前記第1のMOSトランジスタのゲートと前記容量の一端との接続点ノードに
一端が接続されている第1のスイッチを備え、
前記第1のスイッチの他端は、第2のスイッチを介して、対応するデータ線に
接続されており、
前記セクタに接続される複数本のデータ線にそれぞれ接続される前記複数の
電流負荷セルの各々の前記電流負荷駆動回路の前記第1のスイッチに対応する制
御信号を伝達する制御線を備え、
前記複数の電流負荷セルの各々の前記電流負荷駆動回路の第2のスイッチに対

応して共通の制御線を備え、

前記電流負荷セルの前記電流負荷駆動回路の前記第 1 のスイッチの制御端子には、複数の前記電流負荷セルの各々に対応する制御線を通して制御信号が供給され、

前記電流負荷セルの前記電流負荷駆動回路の前記第 2 のスイッチの制御端子には、前記共通の制御線を通して制御信号が供給され、

前記電流負荷の一端と前記第 3 のスイッチとの接続点ノードと前記第 2 の電源との間に第 4 のスイッチを備え、

前記セレクトに接続される複数本のデータ線にそれぞれ接続される前記複数の電流負荷セルの前記電流負荷駆動回路に対して、前記第 3 のスイッチの制御端子に接続される共通の制御線が設けられており、前記第 4 のスイッチの制御端子に接続される共通の制御線が設けられている半導体装置の駆動方法であって、

1 周期が、前記セレクトを介して前記ドライバに接続される複数本のデータ線にそれぞれ接続される複数の前記電流負荷セルに対応する数の複数の駆動期間に区分されており、

前記 1 周期の間、それぞれの前記共通の制御線上の制御信号により、前記電流負荷セル内の前記第 2 のスイッチをオンし、前記第 3 のスイッチはオフし、

(a) 前記複数の電流負荷セルのそれぞれに対応した各駆動期間では、前記セレクトによって前記複数のデータ線のうち 1 本の対応するデータ線が出力セレクト信号で選択され、

(b) 前記複数の制御線のうち、前記セレクトで選択されたデータ線に対応する電流負荷セルに対応する制御信号によって、前記電流負荷セル内の前記第 1 のスイッチをオンすることで、前記電流負荷セル内の前記第 1 の MOS トランジスタのゲートに接続される前記容量の端子電圧を、前記データ線に供給されるドライバの電流出力に対応する電圧に設定し、

(c) 前記セレクトが、前記出力セレクト信号に基づき次のデータ線の選択に切替える前に、又は、切替と同時に、前記 (a) で選択されていたデータ線に対応する前記電流負荷セルに対応する制御信号により、前記第 1 スwitch をオフする制御を行い、

前記 (a) 乃至 (c) の処理を、前記セクタを介して前記ドライバに接続される複数本のデータ線のそれぞれに対して行うことで、前記 1 周期に対応する前記電流負荷セルの前記第 1 の MOS トランジスタへの電流設定を行い、

(d) 前記周期につづいて前記第 3 のスイッチをオンし、前記電流負荷セルの前記第 1 の MOS トランジスタのドレイン電流が前記電流負荷セルに供給される、ことを特徴とする半導体装置の駆動方法。

27. 前記 (d) の処理において、前記第 4 のスイッチがオンする期間は、前記第 3 のスイッチがオフしている期間と同じ、又は含まれていることを特徴とする請求項 25 又は 26 記載の半導体装置の駆動方法。

28. 前記電流負荷が、発光素子よりなり、前記一周期が 1 水平期間である、ことを特徴とする請求項 22 乃至 27 のいずれかに記載の半導体装置の駆動方法。

29. (補正後) 一方向に延在されている複数本のデータ線と、該データ線と直交する方向に延在される複数本の制御線と、を備え、前記データ線と前記制御線との交差部に電流負荷セルをマトリックス状に備えた半導体装置において、
前記電流負荷セルは、

電流負荷と、

第 1 の電源と第 2 の電源との間に、前記電流負荷と直列形態に接続されているトランジスタと、

前記トランジスタの制御端子と前記第 1 の電源の間に接続された容量と、

前記トランジスタの制御端子と対応するデータ線との間に接続された少なくとも一つのスイッチと、を備え、前記電流負荷を駆動する電流負荷駆動回路と、を備え、

前記スイッチを制御する制御線を、少なくとも、半導体装置の 1 ラインにおいて電流ドライバの 1 電流出力が選択できるデータ線の本数と同じ数分備え、

前記電流ドライバの 1 電流出力をセクタを介して複数のデータ線に接続し、1 水平期間において、前記セクタを介して前記電流ドライバの 1 電流出力に接続される複数本のデータ線と、前記複数本のデータ線のそれぞれに対応する複数の前記電流負荷セルの前記スイッチの少なくとも一つが、時分割で、駆動制御さ

42 / 1

される、ことを特徴とする半導体装置。

501/539
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

PCT Application
PCT/JP2003/000276



Applicant's or agent's file reference DP-913PCT	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP03/00276	International filing date (day/month/year) 15 January 2003 (15.01.03)	Priority date (day/month/year) 17 January 2002 (17.01.02)
International Patent Classification (IPC) or national classification and IPC G09G 3/30, 3/20		
Applicant NEC CORPORATION		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of 3 sheets, including this cover sheet.
☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).
These annexes consist of a total of 14 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 15 January 2003 (15.01.03)	Date of completion of this report 01 October 2003 (01.10.2003)
Name and mailing address of the IPEA/IP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP03/00276

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages _____ 1-24 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the claims:
pages _____ 1-11, 13-21, 23-28 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____ 22, 29 (30.06.03), 12 _____, filed with the letter of _____ 19 September 2003 (19.09.2003)
- ☒ the drawings:
pages _____ 1-16 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP 03/00276

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1 - 29	YES
	Claims		NO
Inventive step (IS)	Claims	1 - 29	YES
	Claims		NO
Industrial applicability (IA)	Claims	1 - 29	YES
	Claims		NO

2. Citations and explanations

Claims 1 to 29

None of the documents cited in the international search report either discloses or suggests an invention having both a feature wherein one of a plurality of data lines is selected for one current output of a current driver which supplies current to data lines; and a feature wherein the number of control lines provided which control switches connected to transistor gates of a current load driving circuit is equal to or exceeds the number of data lines which enables selection of one current output of a current driver in a single line of a semiconductor device.